

THIN FILM TRANSISTOR PANEL

Patent Number: JP2193122
Publication date: 1990-07-30
Inventor(s): KOMAKI KENJI
Applicant(s): SUMITOMO METAL IND LTD
Requested Patent: ☐ JP2193122
Application Number: JP19890012227 19890121
Priority Number(s):
IPC Classification: G02F1/136; H01L29/784
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent a defect of a TFT from being recognized as a defect of an image by dividing a semiconductor layer for constituting a thin film transistor into plural pieces on the drain electrode side or the source electrode side.

CONSTITUTION: A semiconductor layer 43 of a thin film transistor (TFT) 32 and a TFT 33 is formed as one body on the source electrode 38 side, and a one-body part 42 of this semiconductor layer is divided into two on the drain electrode 35 side and the drain electrode 47 side and comes to a semiconductor layer 36 and a semiconductor layer 37. Also, the semiconductor layer 36 is connected to the drain electrode 35 and the semiconductor layer 37 is connected to the drain electrode 47. Accordingly, the TFT 32 and the TFT 33 have the same function as two independent TFTs and operate as defect relief use TFTs each other. In such a way, a TFT panel in which even if a defect is generated, it is scarcely recognized as a defect of an image is obtained.

⑫ 公開特許公報(A) 平2-193122

⑬ Int. Cl.⁵

G 02 F 1/136
H 01 L 29/784

識別記号

5 0 0

庁内整理番号

7370-2H

⑭ 公開 平成2年(1990)7月30日

8624-5F H 01 L 29/78 3 1 1 A

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 薄膜トランジスタパネル

⑯ 特 願 平1-12227

⑰ 出 願 平1(1989)1月21日

⑱ 発 明 者 小 巻 賢 治 大阪府大阪市東区北浜5丁目15番地 住友金属工業株式会社内

⑲ 出 願 人 住友金属工業株式会社 大阪府大阪市東区北浜5丁目15番地

⑳ 代 理 人 弁理士 井内 龍二

明 細 書

1. 発明の名称

薄膜トランジスタパネル

2. 特許請求の範囲

基板上に画素電極がマトリクス状に配設されているとともに、前記各画素を駆動するためのスイッチ素子として薄膜トランジスタが配設された薄膜トランジスタパネルにおいて、薄膜トランジスタを構成する半導体層がドレイン電極側またはソース電極側において複数個に分割されていることを特徴とする薄膜トランジスタパネル。

3. 発明の詳細な説明

産業上の利用分野

本発明は、基板上に画素電極がマトリクス状に配設されているとともに、前記各画素を駆動するためのスイッチ素子として薄膜トランジスタが配設された薄膜トランジスタパネルであって、フラットパネル形ディスプレイである液晶ディスプレイ(LCD)などに適用されるものに関する。

従来の技術

近年高度情報化が進むにつれ、映像表示用のディスプレイの分野においてはより一層の高精細化および高輝度化が望まれている。現在は家庭用やその他ほとんどの分野においてCRT(陰極線管)がその主流を占めている。しかし小形、軽量、低消費電力でしかも高画質化が可能なフラットパネル形ディスプレイへの要望が高まってきている。フラットパネル形ディスプレイのうち液晶を用いたLCDは現在もっとも広く用いられ将来性の高いディスプレイである。このLCDの駆動方式として、単純マトリクス駆動方式やアクティブマトリクス駆動方式があり、このうちアクティブマトリクス駆動方式は各画素ごとにスイッチ素子を配設して各画素を独立的に駆動制御するものである。したがって各画素ごとに100%近いデューティ比で駆動でき、画素のコントラスト比が大きく取ることが可能である。

スイッチ素子としてアモルファスシリコンを用いた薄膜トランジスタ(TFT)形は大面積化が可能であり、しかも低コストで製作できることが

ら有望視され、多くの研究がなされている。アモルファスシリコンを用いた薄膜トランジスタ(TFT)形ディスプレイの特徴としては大面積化が可能であること、比較的低温プロセス(300℃前後)で製作できることから安価なガラス基板が使用可能であること、連続的な成膜により膜界面の清浄性が保たれることなどが挙げられる。

以上のことから駆動方式としてアクティブマトリクス駆動方式を採用し、アモルファスシリコンを用いた薄膜トランジスタ(TFT)形ディスプレイは今後のニューメディア用のディスプレイ候補としてその発展が期待されている。

次に、上記TFT形ディスプレイに用いられる従来のTFTパネルを第5図に示す。このTFTパネルは、概略ガラス基板上に多数の画素電極11がマトリクス状に配設され、これらの画素電極11には各画素を駆動するためスイッチ素子としてTFT12が1個配設されている。ガラス基板上にはゲートライン20とドレインライン21がそれぞれ縦横にバターンニングされ、このドレイン

3

パネルにおいては対角5インチ以上のガラス基板にスイッチ素子としてのTFTを10万個以上形成するが、このうちわずかのTFTの不良に基づく表示欠陥が存在しても、人間の目には常時点灯または常時非点灯として認識されるため、ディスプレイとしては十分な表示機能を達成することが不可能となってしまふ。従って、TFTはすべて欠陥なく作製される必要がある。

しかしながら、パネル作製工程において、TFTの欠陥および電気特性のバラツキをなくすことは困難であり、そのためTFTパネルの歩留まりが悪いという結果が生じている。

そこで、このような問題を解決する手段として、従来、一画素に対し複数個のTFTを配置することが提案されている。この種のTFTとしては例えば第6図に示すようなものがある。このTFTはチャンネルが複数分割、ここでは二分割されており、2個のTFT18が配置された構成となっている。従って、一方のTFTに欠陥が生じて作動しなくなっても、他方のTFTにより画

素に電圧を印加することができる。

ライン21の所定箇所にはドレイン電極14が延設形成され、また、ゲートライン20の所定箇所がゲート電極13となっている。このゲート電極13上面には半導体層15が積層形成されている。この半導体層15にはドレイン電極14が接続されており、半導体層15を挟んでドレイン電極14の対向位置にはソース電極17が形成され、ソース電極17は画素電極11に接続されている。

上記した方式による特徴としては表示面内の各画素をTFTによって独立的に駆動制御できることから画素間にクロストークのない高いコントラスト比の表示が得られるというところにある。

このようなTFTパネルがLCDに適用された場合、各TFTによって各画素を駆動する方式のディスプレイとなり、ディスプレイの面積あるいは画素数が増大するにつれてTFTの欠陥が増大する。あるいは配線の断線が起きたり、配線のショートなどによる表示不良が急増し、スイッチ素子作成の歩留まりが著しく低下する。通常TFT

4

素に電圧を印加することができる。

発明が解決しようとする課題

しかしながら、上記したような分割形のTFTの欠陥救済は、1画素に複数個、例えばn個のTFTを配置している場合、1個のTFTに欠陥が生じると、画素に印加される電圧が $1/n$ 減少する。従って、1画素に2個のTFTを配置している場合($n=2$)、そのうちの1個に欠陥があると画素電流は $1/2$ に減少してしまう。

また、分割形のTFTはチャンネルが単に分割されただけであるので、各TFTは近接しており、ゴミなどが付着すると近接した複数のTFTに欠陥が生じてしまい、欠陥救済が働かないという欠点があった。例えば、第6図においてCの箇所に断線が生じた場合、ソース電極17は2個とも作動しない。

そこで、本発明は、付着物によるTFTの欠陥が生じにくく、たとえTFTに欠陥生じても画像の欠陥としては認識されることの少ないTFTパネルを提供することを目的としている。

5

—120—

6

BEST AVAILABLE COPY

課題を解決するための手段

上記した課題を解決するため、本発明は、基板上に画素電極がマトリクス状に配設されているとともに、前記各画素を駆動するためのスイッチ素子として薄膜トランジスタが配設された薄膜トランジスタパネルにおいて、薄膜トランジスタを構成する半導体層がドレイン電極側またはソース電極側において複数個に分割されていることを特徴としている。

作 用

本発明におけるTFTパネルは、TFTを構成する半導体層がドレイン電極側またはソース電極側において複数個に分割されており、分割された電極側と分割されていない電極側との間に分割された個数分だけの電流の流れが生じ、分割された個数分のTFTが存在することになる。

この場合、分割された半導体層を互いに離れた位置に配置させることができ、半導体層の分割部分やこれらと接続されるドレイン電極またはソース電極にゴミなどが付着して欠陥が生じて、他

の半導体層やこれらに接続されたドレイン電極またはソース電極には正常に電流が流れ、TFTとして機能する。

また、半導体層を分割して形成された複数個のTFTについてチャンネル抵抗の等価回路についてみると、分割部分は抵抗を並列に接続したものに等しい。他方、半導体層が分割されていない部分も1つの抵抗として働く。従って、複数個のTFTのチャンネルの等価回路は並列回路に1個の抵抗を直列に接続したものと同一になる。この場合、半導体層をn個に分割したとすると、並列回路の抵抗はR/nになる。直列に接続する抵抗をR/nとするとTFT全体の合成抵抗R₀は2R/nになる。今、分割部分の1箇所に欠陥があるとすると、並列回路の抵抗は(n-1)個となり、その抵抗はR/(n-1)となる。従って、合成抵抗R₀は

$$\frac{R}{n-1} + \frac{R}{n} = \frac{2n-1}{n(n-1)} R \quad \cdots \cdots (1)$$

となる。

例えばn=2のとき合成抵抗は(3/2)Rとなる。

7

り、半導体の分割部分に欠陥がない場合の合成抵抗Rより(1/2)Rのみ大きくなる。ドレイン・ソース間の電圧をV、電流をI_{DS}とすると、

I_{DS}=V/R₀の関係がなりたつ。n=2のとき半導体の分割部分に欠陥がない場合には

I_{DS}=V/Rとなり、1箇所に欠陥がある場合にはI_{DS}=(2/3)Rとなり欠陥がない場合に比べ1/3のI_{DS}が減少する。

(1)式から、nが大きくなるほど欠陥が存在する場合のR₀は小さくなるので、逆にI_{DS}は大きくなり、従って、I_{DS}の減少量も小さくなる。

実 施 例

本発明にかかるTFTパネルの実施例を図面に基づいて説明する。

第1図はTFTの半導体層が2分割された場合のTFTパネルの実施例を示している。図中、ガラス基板上に多数の画素電極31がマトリクス状に配設され、これらの画素電極31を駆動するため、スイッチ素子としてTFT32およびTFT33が配設されている。また、各画素電極31間

8

にはゲートライン44が横方向に、ドレインライン45が縦方向にそれぞれ形成されており、ゲートライン44の所定箇所にゲート電極34が形成され、ドレインライン45の所定箇所にドレイン電極35が延設形成されている。そして、TFT32とTFT33の半導体層43は、ソース電極38側において一体となっており、この半導体層の一体部分42がドレイン電極35側およびドレイン電極47側において2分割されて半導体層36および半導体層37となっている。そして半導体層36はドレイン電極35に接続され、半導体層37はドレイン電極47に接続されており、半導体層43の一体部分42はソース電極38に接続されている。このソース電極38は画素電極31に接続されている。

TFT32とTFT33は独立した2個のTFTと同様の機能を有し互いに欠陥救済用TFTとして働く。それぞれのチャンネル、すなわち半導体層36、半導体層37および半導体層の一体部分42で電荷が主として流れる箇所は、

第1図においてTFT32が下から上へ(A-A線)流れる箇所であり、TFT33は左から右へ(B-B線)流れる箇所である。すなわちTFT32とTFT33のチャンネルは、ドレイン電極側では分離しているが、ソース電極側すなわち画素電極側では一部共通しておりTFT32とTFT33のドレイン・ソース間電流 I_{DS} は合流することとなる。

次に、上記したTFTパネルにおけるTFT32およびTFT33の断面構造を第2図に示す。第2図に示す断面図は、第1図のA-A断面およびB-B断面を示すものであり、TFT32およびTFT33の構造を示している。尚、TFT32およびTFT33は同一構造であるが必ずしも形状が同一である必要はない。図中、ガラス基板39の上に画素電極31が形成されており、左右の画素電極31の間にゲート電極34がパターンニングされている。ゲート電極34の上面にはゲート絶縁膜40、さらには半導体層36、37、42および保護層41が積層形成されている。

11

TFTパネルにおけるチャンネル抵抗について説明する。第3図はTFT32およびTFT33を組み合わせたもののチャンネル抵抗の等価回路を示している。第3図(a)において、2個の抵抗Rの並列回路の部分は半導体層36および半導体層37に相当し、抵抗R/2は半導体層の一体部分42に相当する。従って、この等価回路の合成抵抗 R_0 はRとなる。

次に、第3図(b)はTFT32またはTFT33に欠陥が発生した場合の等価回路を示している。この回路の合成抵抗 R_0 は $(3/2)R$ となる。第3図(a)(b)の等価回路に流れる電流を比較すると、TFT32およびTFT33に欠陥がない(a)の場合は $I_{DS} = V/R$ となり、TFT32、TFT33のいずれかに欠陥がある場合は $I_{DS} = (2/3) \cdot (V/R)$ となる。従って、欠陥発生時の I_{DS} の減少はチャンネルが一部共通になっていることにより3/1にとどまる。このことから、従来の2分割形のTFT18が欠陥発生時には正常時の1/2にまで減少していたのに比べて I_{DS} の減少量

13

ゲート絶縁膜40と半導体層36、37、42の積層の上面の一部および、側面には保護層41が形成されている。さらに、図中において中央の保護層41を挟んで右側にソース電極38が左側にドレイン電極35が積層形成されている。また、ソース電極38には画素電極31が接続されている。

各積層について説明すると、画素電極31は例えば酸化インジウム、酸化錫などの透明電極が用いられる。ゲート電極34には例えばクロム、タンタル、モリブデンなどの金属が用いられる。ドレイン電極35およびソース電極38には例えばアルミニウムなどの低抵抗金属が用いられる。半導体層36、半導体層37および半導体層の一体部分42には例えば水素化非晶質シリコンや多結晶シリコンなどが用いられる。ゲート絶縁膜40には例えば窒化シリコン、酸化シリコンなどが用いられる。保護層41には例えば窒化シリコンなどが用いられる。

次に第1図、第2図に示された本実施例の

12

は少ない。従って、TFT32、TFT33のいずれかに欠陥が生じても画像のコントラスト比の低下は少ないので、欠陥として認識されにくい。

また、第1図に示すように半導体層36と半導体層37は互いに分離された配置となっているので、ゴミなどの付着物が例えばDで示す箇所に付着してドレイン電極35が断線しTFT32が作動しなくなっても、TFT33が作動する。従って、TFT33はTFT32の欠陥救済用として働き、TFT32およびTFT33がともに欠陥を生じる確率は小さい。

次に、上記したTFTパネルの製造方法を第4図に基づいて説明する。

まず、ガラス基板39を十分洗浄してからエッチング加工を施して酸化インジウムまたは酸化錫の画素電極31を厚さ100nmで形成する(同図(a))。

次に、ガラス基板39上にエッチング加工を施してクロムなどのゲート電極34を幅16 μ m、厚さ150nmで形成する(同図(b))

14

次に、プラズマCVD装置を用いて酸化シリコン、窒化シリコンなどのゲート絶縁膜40を厚さ300nmで形成し、エッチング加工を施す(同図(c))。

次に同装置を用いて非晶質シリコンなどからなる半導体層36、半導体層37および半導体層の一体部分42を厚さゲートライン200nmで形成し、エッチング加工を施す(同図(d))。

次に同装置を用いて窒化シリコン、酸化シリコンなどの保護層41を厚さ300nmで形成し、エッチング加工を施す(同図(e))。

最後に、真空蒸着装置を用いてアルミニウムなどからなるドレイン電極35およびソース電極38を厚さ1μmで形成する。

以上示したように、TFT32およびTFT33は同時に形成されるため、その製造プロセスの工程数は薄膜トランジスタが1個の場合と同数で済む。

このようにして作製されたTFTパネルの特性は以下に示す通りであった。チャンネル幅は

15

半導体層がドレイン電極側またはソース電極側において複数個に分割されることにより、半導体層の一部が一体で他部が分割された形になり、分割数に等しい個数のTFTが形成される。これらのTFTにおけるチャンネル抵抗の等価回路は分割部分に相当する並列抵抗に一体部分の抵抗が直列に接続された形になる。従って、分割部分に相当する複数個のTFTの一部に欠陥が生じた場合、並列抵抗の抵抗数が減少して複数個のTFTの合成抵抗の増加量は小さく、これに対応してドレイン・ソース電流 I_{DS} の減少量も小さく抑えることができる。この結果、画像のコントラスト比の低下も小さくなり、TFTの欠陥が画像の欠陥として認識されることは少なくなる。

また、半導体層の分割部分は離れて配置させることができるので、分割部分に相当するTFTの一部に欠陥が生じて他の分割部分のTFTは正常に作動するので欠陥救済効果が大きい。

以上より、本発明は、TFTの欠陥が生じにくく、たとえ欠陥が生じて画像の欠陥としては認

160μm、チャンネル長は16μmであった。ソース・ドレイン電圧が5Vのとき、TFT32およびTFT33を合成した特性はオン電流 I_{ON} が50μA(ゲート電圧15V時)、オフ電流(ゲート電圧-5V時)が11pA、しきい値は2Vであった。TFT32の断線時のTFT33のみ作動させた場合の特性は、 I_{ON} は31μAと、電流の低下は約3割程度であった。また、歩留まりについては、TFT32、TFT33ともに欠陥となっているものについて、約5%の向上が見られた。

尚、本実施例はTFTの半導体層のうちドレイン電極側を分割したが、ソース電極側を分割した場合にも同様の機能を発揮するのはもちろんである。また、分割数も2個に限るものではない。また、等価回路の抵抗値も説明のためのものであり、それらの数値に限られるものではない。

発明の効果

以上の説明により明らかなように本発明にかかるTFTパネルにあつては、TFTを構成する半

16

導されることの少ないTFTパネルを提供することができる。

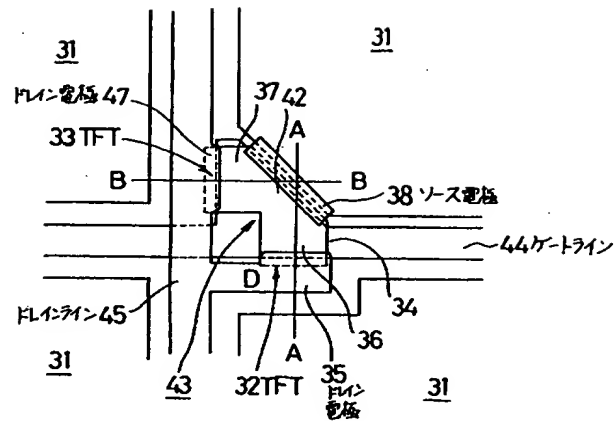
4. 図面の簡単な説明

第1図は本発明にかかるTFTパネルの一実施例を示す平面図、第2図は第1図のA-A断面およびB-B断面を示す断面図、第3図はTFTのチャンネル抵抗の等価回路を示す回路図、第4図はTFTパネルの製造方法の工程を示す断面図、第5図は従来のTFTパネルを示す平面図、第6図は従来の欠陥救済を施したTFTパネルの平面図である。

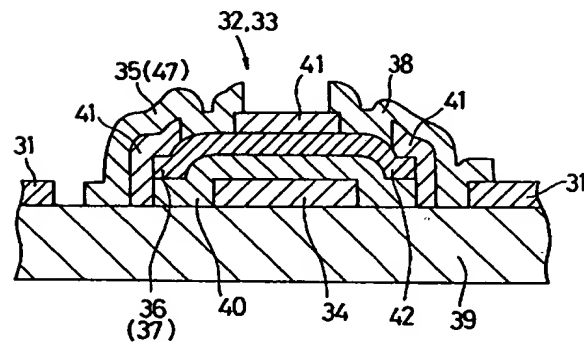
31…画素電極、12、18、32、33…TFT、34…ゲート電極、35、47…ドレイン電極、36、37…半導体層、38…ソース電極、42…半導体層の一体部分、43…半導体層

特許出願人 : 住友金属工業株式会社
代理人 : 弁理士 井内龍二

第 1 図

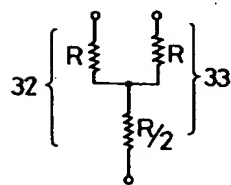


第 2 図



第 3 図

(a)



(b)

